

1. 문제 분야: 회로·설계·시스템

2. 문제 명: 전력 소모 저감을 위한 회로설계 기술 연구

3. 문제 내용

- 문제 관련 배경설명 : 반도체 기술의 발전으로 전력소모가 큰 고성능 반도체 제품이 일반화 되면서, 반도체 제품의 열발생이 중요한 기술 난제로 등장했습니다. 열발생 감소를 위한 전력 소모 저감 노력이 반도체 소자, 회로설계, 시스템 설계, 소프트웨어 등 다양한 기술 영역에서 이루어지고 있으며, 회로설계 시에는 성능 목표 달성과 함께 전력 소모 저감을 위한 적극적인 회로설계 수단이 채용되고 있습니다. 반도체 제품의 전력 소모에 대해 이해하고, 이를 기반으로 설계적인 개선방안을 제시하시오.
- Step1 : 반도체 제품의 전력 소모는 회로동작에 의한 Dynamic Power 와 누설 전류에 의한 Static Power 로 구분합니다.
Dynamic/Static Power 의 주요 인자와 이를 개선하기 위한 회로설계 기술을 Study 하고 종합적으로 기술하시오.
- Step2 : Dynamic Power 와 Static Power 개선을 위한 기존의 회로설계 기술을 각각 3 건씩 선정하여 실제 구현 사례 포함하여 메커니즘과 효과를 상세히 설명하시오.
- Step3 : Dynamic/Static Power 개선을 위한 회로설계 신기술 아이디어를 연구하여 제시하고, 구체화된 개선 아이디어를 효과를 포함하여 상세히 기술하시오.

4. 산출물: 결과보고서(시뮬레이션 결과 포함)

5. 문제 부연 내용

- 예시) Dynamic/Static Power 개선 회로설계 기술 예시

- Dynamic Power : Voltage Scaling, DVFS(Dynamic Voltage Frequency Scaling), Transistor size optimization, Charge Recycling, Multi. VDD, Data bus inverting control, Asynchronous Circuit 등
- Static Power : Voltage Scaling, Asynchronous Circuit, Back Bias control, Power Gating, Stack Transistor, Subthreshold Operation 등

1. 문제 분야: 회로·설계·시스템

2. 문제 명: DRAM Scaling 에 따른 Refresh 열화 극복을 위한 설계적 개선 방안 연구

3. 문제 내용

- 문제 관련 배경설명: 현재의 고속/고집적 DRAM 을 가능하게 만든 핵심 요인인 1T1C(1 Transistor-1 Capacitor) DRAM 구조는 주기적인 Refresh 동작을 필요로 합니다. DRAM Scaling 지속에 따라 Capacitor 용량의 감소와 Low Voltage 화는 Refresh 특성을 취약하게 만들었고, 이를 극복하기 위한 Cell Transistor 와 Cell Capacitor 개선 노력이 지속되었습니다. 이와 동시에 DRAM 표준 규격에서도 Refresh 관련 항목의 보완이 지속되었고, 회로 설계적인 수단들을 통해서도 Memory cell leakage 저감 기술, 공정 Mismatch 극복 기술, Sense Amplifier 성능 개선 노력들도 진행되었습니다. DRAM 에서 사용한 Refresh 관련 표준의 변화와 설계 기술들을 학습 이해하고, 이를 기반으로 DRAM Scaling 에 따른 Refresh 취약점을 보완할 수 있는 DRAM 표준의 보완 방안이나 설계적인 개선방안을 제시하시오.
- Step1: 최신 DRAM 의 Refresh 관련 기술에 대한 종합적인 이해를 기술하고, 극복해야 할 기술적인 문제를 정의 하시오.
- Step2: DRAM Scaling 에 따른 Refresh 열화 문제에 대응하기 위한 기존의 설계 기술 변화를 학습하고 종합적으로 정리하시오.
- Step3: DRAM Scaling 에 따른 Refresh 열화 문제를 극복하기 위한 설계적인 신기술 아이디어를 연구하여 제시하고, 각 아이디어에 대해서는 기술적인 배경, 구현 방안, 효과를 포함하여 종합적으로 정리하시오.

4. 산출물: 결과보고서(시뮬레이션 결과 포함)

5. 문제 부연 내용

- 기존의 설계적인 Refresh 개선 예시
 - Temperature/Process adaptive technique for Sense Amplifier, Bias Voltage control for Sense Amp. & Wordline driver, Precharge Voltage(VBLP) level 제어, MCSA(Mismatch Cancellation Sense Amplifier), Double Refresh, Refresh 주기 제어, ECC(Error Correction Code), Row Hammer mitigation 등

1. 문제 분야: 회로·설계·시스템

2. 문제 명: NBTI 상황에서 Cycle Duty 확보 방안

3. 문제 내용

- 문제 관련 배경 설명: 메모리 제품은 최근 고속 동작을 위해서 지속적으로 shrink 가 되고 있습니다. 특히 내부에는 sync 동작을 위한 clock 신호가 여러 단의 inverter 회로를 거쳐서 필요한 곳에 공급을 하고 있습니다. 문제는 clock 이 동작되지 않은 상태에서 High/Low state 가 지속적으로 inverter 단에 인가가 되면서 PMOS 열화(NBTI – negative bias temperature instability)로 인해서 PMOS v_{th} 가 변화하면서 clock 의 duty 가 변화가 발생합니다. 이는 고속 동작에 있어서 크다란 제약 요소가 되기에 이를 해결하는 것이 매우 중요합니다.
- NBTI 가 발생하는 inverter chain 에 대해서 이를 완화할 수 있는 구조의 회로를 설계 하시오.
 - Step 1-1: inverter 40 단(그림 1)을 구성하고 1GHz 로 동작하게 입력을 구성하여 50% 입력 신호를 넣고 마지막 출력단에 ~50%가 나오게 구성하고,
 - Step 1-2: NBTI 열화 상황 (PMOS P0, P2, P4,.. $|V_{th}|$ 10% 증가) 상황에서 출력 Duty 변화 확인
 - Step 2: PMOS V_{th} 열화가 있든/없든 동일하게 ~50% duty 출력 유지되는, 신규 회로 아이디어 3건 이상 발굴
 - Step 3: 기존 단순 inv 40 단 vs. 아이디어 1 vs. 아이디어 2 vs. 아이디어 3 특성 비교
 - 1) 출력 Duty 값 평가 (V_{th} 열화 없는 case / V_{th} 10% 열화 있는 case)
 - 2) 추가로 inverter 의 PMOS 와 NMOS 는 random V_{th} 를 가지고 이는 정규 분포를 가집니다.

각각 3% v_{th} shift 를 1 sigma 변화를 주는 경우에도 효과가 있는지 100 회 monte sim 을 진행하여 결과를 확인.

3) 또한 process corner, 온도(100 도/25 도/-15 도) 및 Power Noise 에 대한 robust 특성 평가

4) Power 및 Area 특성 비교

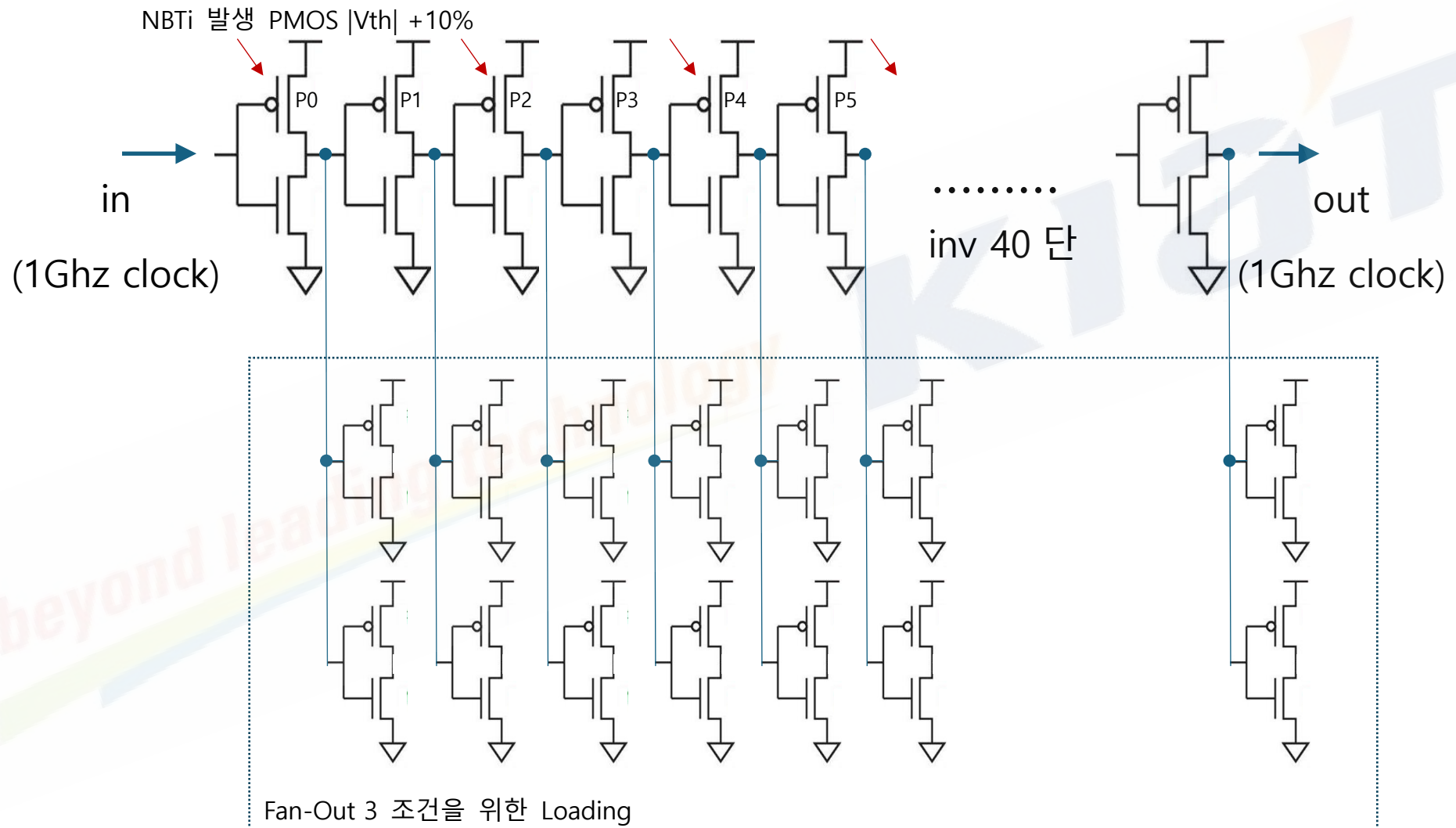
4. 산출물: 결과보고서

- NBTI 의 설명 및 duty 개선 결과 그리고 Power 특성 포함
- Step-3 에 제시된 내용을 포함한 단순 inv 와 아이디어 1, 2, 3 회로의 동작 설명/회로도/시뮬레이션(hspice, spectre 등) 결과 및 장단점 등등 비교 내용 포함

5. 문제 부연 내용

- 아이디어 적용 회로 적용으로 추가되는 TR 개수 증가 및 Power 증가는 최소화 되어야 하며, 이것이 경쟁력 입니다.
- 아이디어에 대한 회로 시뮬레이션시, 각 대학에서 보유한 공정 모델 parameter 로 사용하면 됩니다.
- Simulation Initial 조건: VDD=1.0V, pMOS W/L=2um/0.1um, nMOS W/L=1um/0.1um (사용하는 model parameter 에 따라 VDD, W/L size 변동 가능)

[그림 1] Fan-Out 3 조건의 invertre 40 단



1. 문제 분야: 회로·설계·시스템

2. 문제 명: DRAM Density 증가 회로 설계 방안(ex. Multi-Level DRAM)

3. 문제 내용

- DRAM 은 지난 수십 년간 미세화와 구조적 개선을 거쳐 지속적으로 Density[$\cong \text{Gb/mm}^2$]를 증가시키었고, 미세화 공정 난이도 증가로 어려움이 있습니다. 이를 극복하기 위해 소자/공정 측면에서, 현 구조($6F^2$)의 미세화 뿐만 아니라 다양한 아이디어(ex. VCT, 3D)가 나오고 있습니다.
- 설계 측면에서도 Density 확장 기술에 대한 연구가 필요하며, 하나의 예로 Multi-Level DRAM 를 생각해 볼 수 있습니다. Conventional DRAM 은 1-bit/1-cell data 가 일반적이고. Flash memory 는 Multi(2,3,4)-bit/1-cell 이 널리 상용화 되고있습니다. Flash 와 동일하게 DRAM MLC(2-bit/1-cell) 를 생각한 것입니다.
 - Step 1: 현세대 $6F^2$ 공정 node 에서 회로설계 기술만으로(or minor 한 공정 변경 가능) DRAM Density 확장 가능한 아이디어를 자유롭게 제안 하시오. (신규 아이디어로 위에 기술한 MLC 에 관한 것도 좋으며, 다른 어떤 아이디어도 가능합니다.)
 - Step 2: 도출된 아이디어의 동작 방안과 회로설계하고 시뮬레이션으로 검증 하시오.
 - Step 3: DRAM Density 확장 회로설계 기술 아이디어 적용 시 다음 항목을 포함한 내용으로 기술하시오.
 - 목표했던 Chip 당 Density 확장되는 비율을 계산
 - Conventional DRAM 비교한 장/단점을 비교

- DRAM Core AC parameter(t_{RCD} , t_{AA} , t_{WR} 등) 평가
- Conventional DRAM 비교한 Power 증/감 평가
- 신규 아이디어 회로 제품화 가능성 등 검증
- 아이디어 반영 시 특성이 변하거나(or 우려되는) 항목에 대하여 합당한 근거를 기초로 평가해 보세요.

- **[조건]**

- $6F^2$ BCAT DRAM 에서 가능한 아이디어/회로 기술
- MLC 의 경우 1-bit/1-cell 이상을 요구하며, 2-bit/1-cell 이 대표적입니다.

4. 산출물: 결과보고서

- 회로 & 검증 & Simulation 범위는 제안한 아이디어가 포함되는 범위면 됩니다. (MLC 의 경우 DRAM Cell 과 BLSA 을 포함한 회로도)
- 명확한 동작/도식/파형/회로도 등등을 함께 제시해 주세요.
- 제안한 기술에 대한 동작 방안, 구현한 회로, 시뮬레이션(hspice, spectre 등) 결과 포함해 주세요.
- Step-3 에 제시된 내용을 포함한 Conventional DRAM 과 비교한 신규 아이디어&회로 특성

5. 문제 부연 내용

- 아이디어에 대한 회로 시뮬레이션시, 각 대학에서 보유한 공정 모델 parameter 로 사용하면 됩니다.
- DRAM Cell Capacitor $\sim 10fF/cell$, BL Capacitor $\sim 50fF$ 가정, 또한 DRAM Cell Cap 은 기본적으로 Leakage 가 있습니다.

1. 문제 분야: 회로·설계·시스템

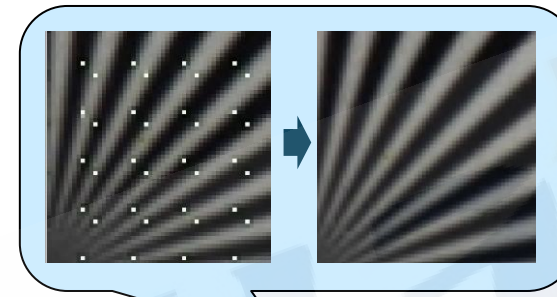
2. 문제 명: 이미지 센서 수율 향상을 위한 Defect 처리 기법

3. 문제 내용

- 배경 설명: 이미지 센서 제조 과정의 Defect 는 Bad-Pixel 로 나타나게 된다. Flash Memory 의 ECC 처럼 Bad Pixel 은 Bad Pixel Correction 알고리즘을 통하여 보상되어 최종 이미지 영향 및 수율 영향 최소화 하도록 한다. Mobile Camera 이미지 센서는 고해상도 및 Tele-Camera 응용 증가에 따라 점차 고화소되어 2020 년대 200Mp 센서로 진화하였다. 이에 따라 Pixel Density 가 증가하여 Bad Pixel 은 점차 clustering 화되어 기존 Bad Pixel Correction coverage 를 벗어나서 수율 저하를 초래한다. 이에 따라 고화소 센서의 CFA (Quad-Bayer 등)에 대한 Low Power, Low Complexity, High Image Quality BPC 가 수율 확보의 관건이 된다.
- Step 1: Pixel 미세화와 Shared Pixel Architecture (1->4->8, 그림 1 참고) 강화에 따른 Bad Pixel 발현 (Dynamic, Static) 양상과 완화 방법 논하시오.
- Step 2: Color Filter Array (Bayer, Quad-Bayer, 그림 2, Ref 1 참고)에 따른 Bad Pixel 화질 영향성을 논하시오. (Cluster BP 영향, BP 간 거리 등)
- Step 3: 신호처리 알고리즘을 통한 Bad Pixel Detection 및 Correction 과 화질 개선에 대하여 논하시오.
- Step 4: AI 를 활용한 Bad Pixel Correction 방안과 기술적 제약 및 적용 방안에 대하여 논하시오.

	Image sensor	Flash memory
Defect	Bad pixel	Bit
Redundancy	Source	ECC ENC
Correction	Bad pixel correction	ECC DEC

<참고 1>



**Bad Pixel
Correction**

<참고 2>

4. 산출물: 결과보고서

- 분석 보고서 및 화질 평가 결과 포함
- Bad Pixel Correction Algorithm (in matlab or C or python) 및 개선 전,후 화질 비교, 복잡도 분석

5. 문제 부연 내용

- CFA 관련 기본 내용 및 Reference (Reference 1)
- Synthetic Image 생성 및 평가를 위한 Image DB (KODAK DB, Reference 2)
- Image Quality Assessment : Objective (PSNR, SSIM..) Score, Subjective 평가 방법 활용

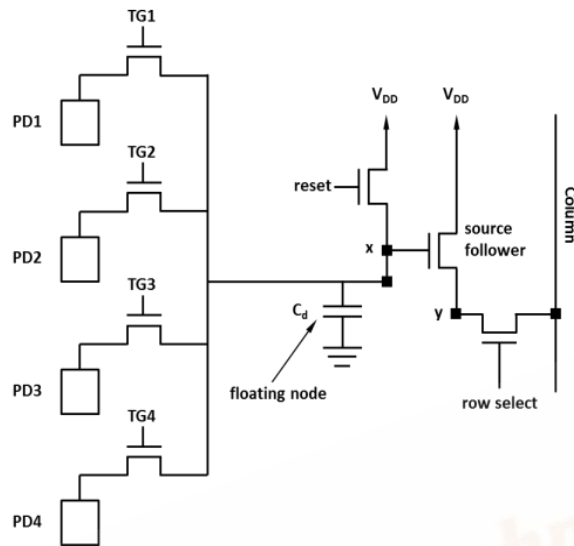


그림 1. Shared

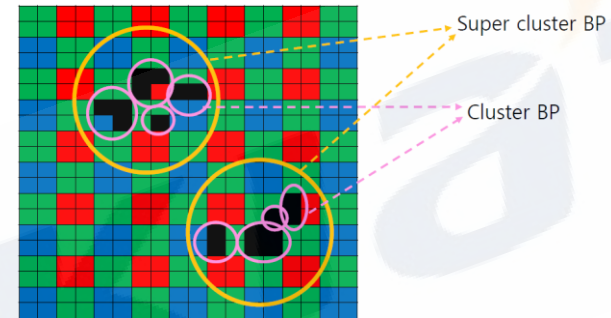
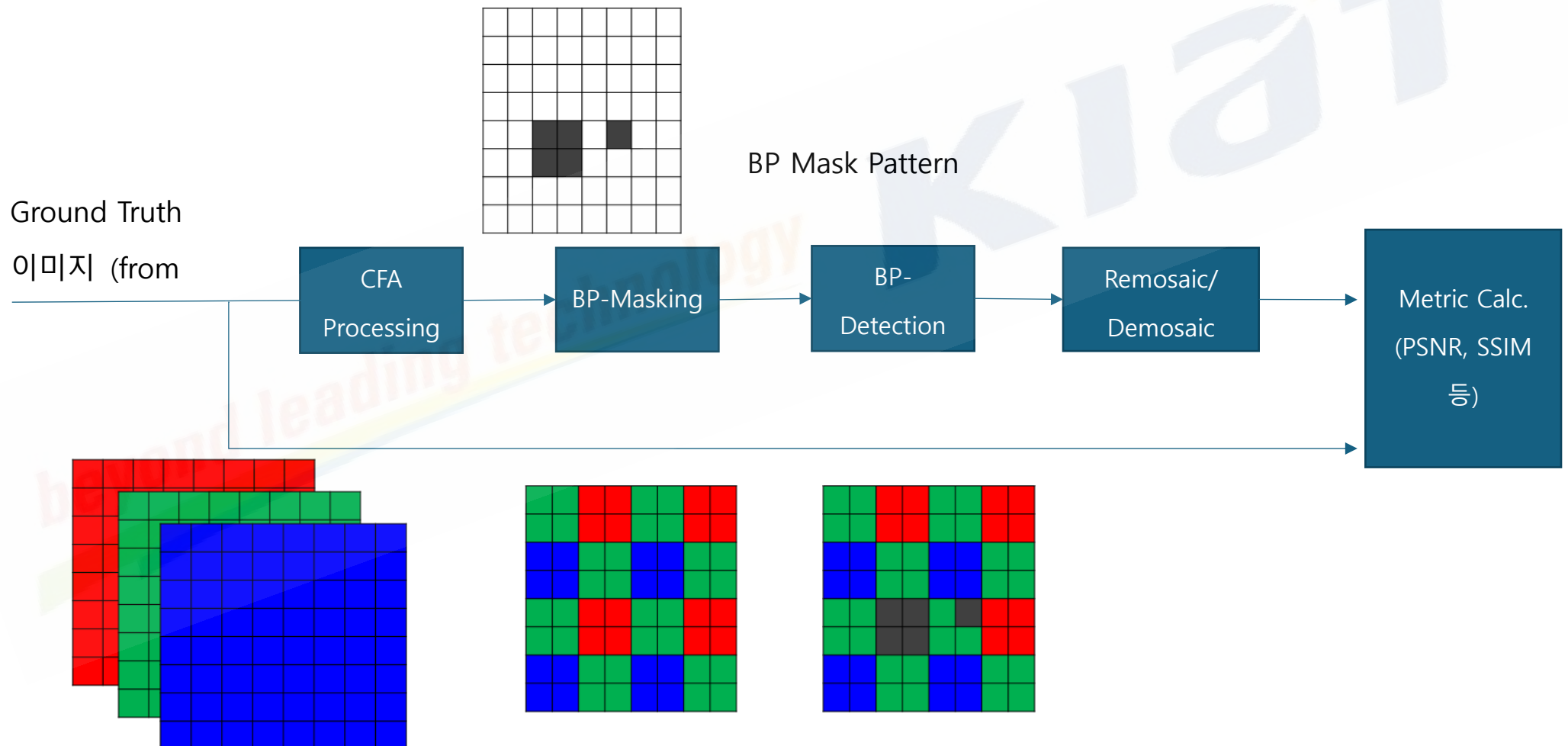


그림. 2 Quad Bayer CFA 와 Cluster Bad Pixel

- Reference 1: [Quad-Bayer 및 Pixel Binning 관련링크 \(https://github.com/sharif-apu/BJDD_CVPR21\)](https://github.com/sharif-apu/BJDD_CVPR21)
- Reference 2: Kodak Dataset (<https://www.kaggle.com/datasets/sherylmehta/kodak-dataset>)

< Ground Truth 및 Input 이미지 생성 예시 >

- 1) DB 의 Known RGB (3 x W x H) 이미지에서 CFA Pattern 적용 CFA 이미지 (WxH) 생성 (Bayer, Quad Bayer)
- 2) 2) CFA 이미지에 BP Mask (WxH) 적용하여 BP Corrupted 이미지 생성 (WxH)



< BP Mask Pattern 예 >

- 1) 64x64 단위 BP Pattern 이 주기적으로 반복되도록 BP Mask Pattern 설정
- 2) Cluster BP (2x2)가 1 개 이상 포함된 BP Mask Pattern 사용

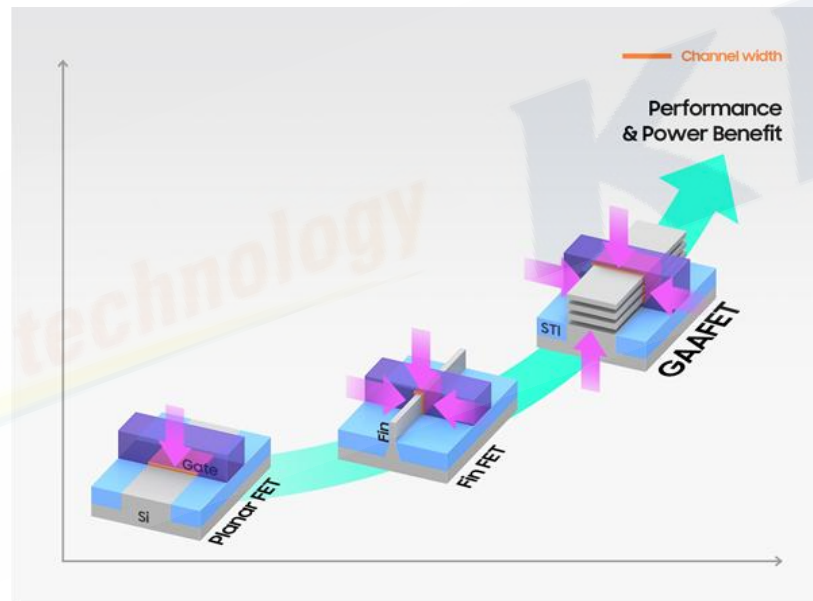


1. 문제 분야: 소자·공정·소부장·패키징

2. 문제 명: 차세대 트랜지스터 의 전기적 특성 개선하기

3. 문제 내용

- Si 반도체 MOSFET 은 지난 수십 년간 지속적인 미세화와 구조적 개선을 거쳐 [Fig. 1] 과 같이 Bulk Planar 구조에서 FinFET, 그리고 최근에는 Gate-All-Around Nanosheet (GAA-NS) 으로 발전해 왔습니다.

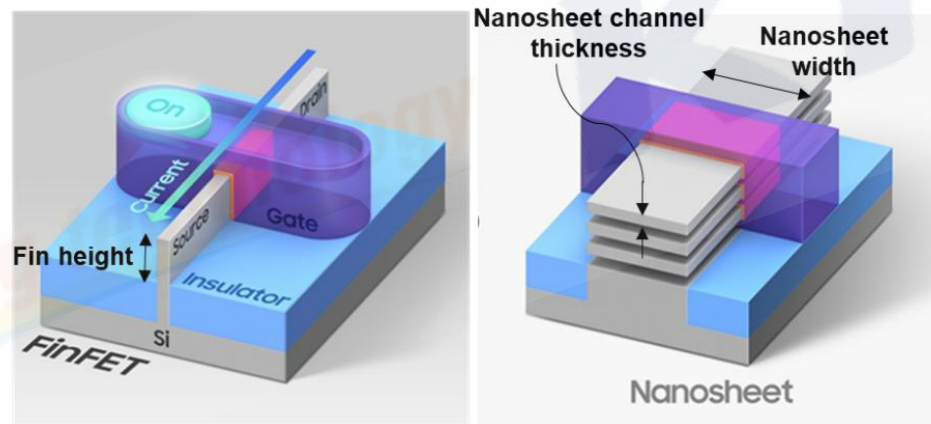


[Fig. 1] Performance and power improvement through transistor structural change

- Step1 : Bulk Planar MOSFET, FinFET 그리고 GAA-NS FET 세 가지 구조에 대해 전도 채널 (conduction channel) 형성 메커니즘과 표면 전위 (surface charge) 분포를 전계(Electric Field) 관점에서 비교하고 설명하십시오.
- Step2 : [Fig.2] 와 같은 구조의 FinFET 과 GAA-NS 에서 1 가지를 선택하여 아래 특정 전기적 특성을 개선하고자 합니다. 이를 달성하기 위한 구조적 혹은 공정적 개선 방안을 제안하고, 이론적 근거를 반드시 제시해 주십시오.

[개선 희망 전기적 특성]

- : On-state Current (I_{on}) 증가 및 Subthreshold Swing (SS) 감소. 단, Off-leakage (I_{off}) 증가는 없어야 함.

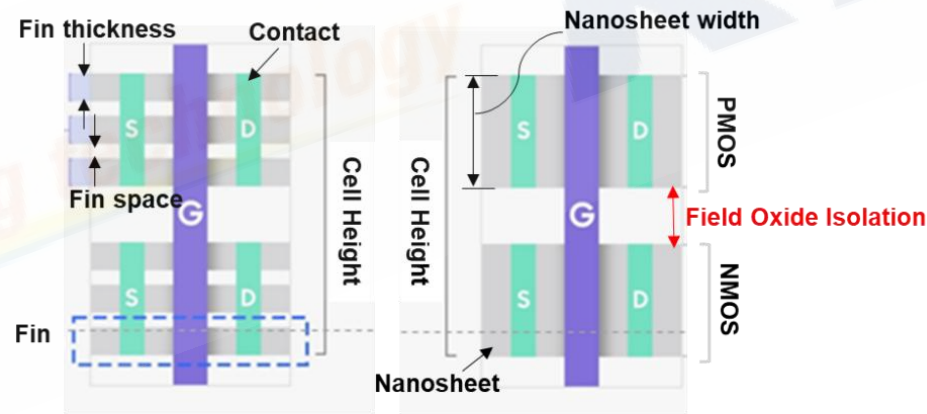


[Fig. 2] FinFET and GAA-NS structures

- Step3 : GAA-NS 구조는 PPA (Power, Performance, Area) 측면에서 뛰어난 강점을 지닙니다. 하지만 기술 노드의 미세화가 지속되면 PPA 향상에 한계가 있을 수 있습니다. 아래 조건을 갖는 CMOS Inverter 에서 PPA 각 항목을 최소 25% 이상 동시에 향상시킬 수 있는 방안을 제안하고 그 이론적 근거를 반드시 설명해 주십시오. (Fig. 3 참고)

[조건]

- GAA-NS FET 기반 CMOS Inverter 구조이며 Cell Height 는 조정 가능
- Channel 은 3 단 적층된 nanosheet 구조이며 nanosheet 의 width, thickness 및 간격은 조정 가능
- High-k / Metal Gate stack 구조 사용
- Metal 1 및 Metal 2 레벨의 Back-end (BEOL) Interconnect 사용



[Fig. 3] Top view layouts of FinFET and GAA-NS (simple inverter case)

- ◆ (Fig.1~3 출처) <https://semiconductor.samsung.com/news-events/tech-blog/gaa-dtco-for-ppa/>

4. 산출물 : 결과보고서

- 각 step 에 대해 명확한 구조 도식 또는 수식을 함께 제시하는 것을 권장합니다.
- 기술적 제안에는 반드시 소자 물리 혹은 공정 기술 관점 원리적 설명을 포함해 주십시오.
- 단순 요약이 아닌 창의적인 문제 해결 접근 방식이 평가에 반영됩니다.

5. 문제 부연 내용

- 문제의 이해를 위해 아래 2 개의 논문을 참고하십시오.
 - G. Bae et al., "3nm GAA Technology featuring Multi-Bridge-Channel FET for Low Power and High Performance Applications," IEEE International Electron Devices Meeting, 2018
 - S. Lee et al., "A novel multibridge-channel MOSFET (MBCFET) " IEEE Transactions on Nanotechnology, vol. 2, no. 4, 2003

-

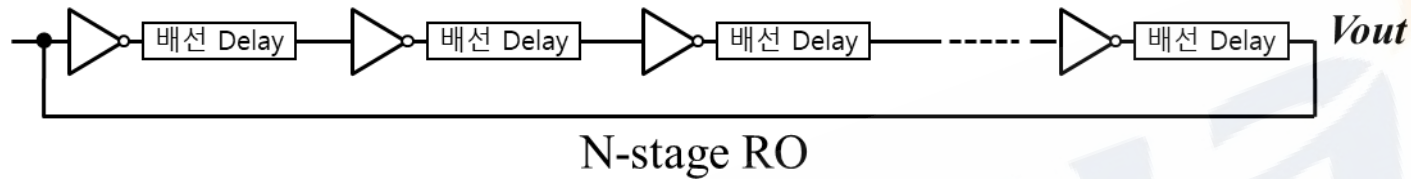
1. 문제 분야: 소자•공정•소부장•패키징

2. 문제 명: 회로 동작 속도를 결정하는 구성 요소 분리하기

3. 문제 내용

- 문제 관련 배경 설명: Ring Oscillator(이하 RO)는 반도체 공정의 성능과 특성을 평가하는 데 매우 중요한 도구로 활용되고 있는데, 인버터와 같은 논리 게이트들을 직렬로 연결하고 출력을 다시 입력으로 피드백시키는 구조를 가집니다. 회로 동작시 지속적인 Oscillation 이 발생하는데, Oscillation Frequency(f_{osc})를 측정함으로써 반도체 공정의 다양한 특성을 파악할 수 있는데, 특히, 아래와 같은 공정 평가에 활용되고 있습니다.
 - (1) 게이트 지연 시간(Gate Delay Time) 측정: f_{osc} 는 개별 게이트의 지연 시간에 반비례하므로, 주파수가 높을수록 게이트의 스위칭 속도가 빠름을 의미합니다. 게이트 지연 시간은 CMOS 회로의 AC 특성을 평가하고, 칩의 최대 동작 속도를 예측하는 데 사용됩니다.
 - (2) 공정 변동성 모니터링: 웨이퍼 내 또는 웨이퍼 간 공정 조건의 변화는 개별 트랜지스터의 특성과 게이트 지연 시간에 영향을 줍니다. RO 는 공정 변동성을 감지하고, 특정 웨이퍼 위치나 배치에서 성능 저하 발생 여부를 파악하여, 양산 수율 관리의 수단으로 활용합니다.
 - (3) PDK(Process Design Kit) 개발 및 검증: RO 를 간단한 회로로 설계하고 실제 제작하여 특성을 분석함으로써, PDK 의 정확성과 공정의 예측 가능성을 검증합니다. 시뮬레이션 결과와 실제 측정값을 비교하여 공정 파라미터를 보정하는 데 활용할 수 있습니다.
 - (4) Reliability Test: Hot-Carrier Injection(HCI)이나 Bias Temperature Instability(BTI)과 같은 소자의 열화는 게이트 지연 시간을 변화시키는데, RO 를 장시간 구동 시키면서 주파수 변화를 측정하여 소자의 수명과 신뢰성을 평가할 수 있습니다.
 - (5) 온도 및 전압 의존성 평가: 다양한 온도와 공급 전압 조건에서 RO 의 주파수 변화를 측정하여, 실제 칩의 동작 환경에서 성능 변화를 예측하여 설계에 반영합니다.

- RO의 f_{osc} 는 '순수 게이트 지연 시간(Intrinsic Gate Delay)'과 '배선 지연 시간(Interconnect Delay)'으로 구성되는데, 이를 분리하기 위하여, ① 게이트의 Fan-out을 달리하거나, ② 배선의 길이(또는 폭) 또는 모양을 달리하거나, ③ RO의 Inverter Chain 내의 Stage 개수를 변화시키는 방법을 사용합니다. 기존과 다른 새로운 분리 방법을 제안해 주십시오.



Step-1 (Reference 설계 = Minimum Interconnect/Layout): 측정 대역폭이 수백 MHz인 오실로스코프를 가지고 측정할 수 있는, Design Rule로 그려진 Inverter 게이트로 구성된 RO를 포함한 회로를 Schematic 수준에서 설계하고, Spice 시뮬레이션 결과를 보여주십시오.

Step-2: 제안하는 새로운 회로 또는 회로들을 Schematic 수준에서 설계하고, Spice 시뮬레이션 결과를 보여주십시오.

Step-3: **제안한 방법의 타당성**을 보여주십시오. 방법 예시를 들면, 제안하는 새로운 회로 또는 회로들을 ① Layout 하고, Layout Extraction을 통해 Parasitic Element까지 포함된 회로에 대한 Spice 시뮬레이션 결과를 도출하거나, ② 배선 Parasitic, MOSFET parasitic을 인위적으로 추가하여 회로 Netlist를 구성하고, Spice 시뮬레이션 결과 도출하면 됩니다.

4. 산출물: 결과보고서

1. 문제 분야: 소자·공정·소부장·패키징**2. 문제 명: 선택적 성장 기술을 이용한 반도체 미세화 공정의 난제 해결 프로젝트****3. 문제 내용**

- 문제 관련 배경 설명: 여러가지 이유로 반도체 제조에 적용하기 위해 선택적 성장에 대한 관심이 점점 커지고 있습니다.
- Step1: 선택적 성장에 대해 심화 study 하고, 그 내용을 서술하시오.
- Step2: Study 한 내용을 바탕으로 반도체 제조의 응용처를 한가지 이상 제시하시오.
- Step3: 상기 기술의 적용에 대한 효과를 근거와 함께 작성하시오.

4. 산출물: 결과보고서

- 효과를 정량적인 값으로 표현하시오.
- 반도체 제조에 적용하기 위한 기술적 난제와 극복을 위한 구체적인 방법을 기술하시오.
- 염려되는 부작용(제조 비용의 증가, 물질의 안정성 등)에 대해 한가지 이상 작성하고, 보완책을 제시하시오.

5. 문제 부연 내용

- 선택적 성장의 대상에 제한은 없으며, 소재, 공정, 설비적인 개선 방안이 모두 가능합니다.
- 선택적 성장 예시) Conductor on conductor, conductor on insulator, insulator on insulator, insulator on conductor, carbon on insulator 등

1. 문제 분야: 소자·공정·소부장·패키징

2. 문제 명: DRAM 셀 스케일링 고찰과 개선방안

3. 문제 내용

- 문제 관련 배경설명: DRAM은 평면(2D) 구조에서 지속적인 스케일링을 통해 집적도와 성능을 향상시켜 왔습니다. 하지만 Sub 10nm 기술 노드로 진입하면서 물리적/기술적 hurdle(한계/문제점)에 직면하고 있으며, 이러한 한계를 극복하기 위하여 3D 셀 구조로의 전환이 필수적인 과제로 떠오르고 있습니다.
 - Step1: 2D DRAM 셀 스케일링의 물리적/기술적 hurdle(한계/문제점)들을 고찰하여 2 가지 이상 제시하고, 이로 인한 DRAM의 동작에 어떠한 영향을 미치는지 구체적으로 기술하시오.
 - Step2: 위의 2 가지 문제점들을 개선할 수 있는 2D DRAM에서의 새로운 아이디어를 제시하시오.
 - Step3: 위의 2 가지 문제점들을 개선할 수 있는 새로운 3D DRAM 셀구조를 제안하시오.
- * (단 Cell transistor의 Floating Body Effect이 심화되지 않도록 해야함)

4. 산출물: 결과보고서

5. 문제 부연 내용

- 개선 방법, 기대 효과, 장단점, 개념, 원리, 핵심 필요 기술, 아이디어 구현 시 Challenge Point 등을 구체적으로 기술하시오.
- 상기 물리적 hurdle이란 Physical Limitation을 이야기하며 반도체 물질, 전기적 특성, 구조의 제약 등 소자 물성에서 기인한 한계 (예 정전용량 한계, Retention Time 감소 등)를 이야기하며, 기술적 hurdle이란 Technological Limitation을 이야기하며 설계, 소자, 공정, 재료 기술의 한계(예 고 종횡비 식각, Transistor 구조 및 재료 등)를 이야기합니다.

1. 문제 분야: 소자·공정·소부장·패키징

2. 문제 명: 초고집적 반도체 Chip 내, 고용량 Package 내 배선(interconnect) 문제 개선

3. 문제 내용

- 문제 관련 배경 설명: 반도체 chip 의 집적도가 향상될수록, chip 내 미세화 배선(interconnect) 측면의 어려움이 증가됩니다.
한편, package 내 chip 의 용량이 증가되거나 복잡해질수록, package 내 배선 측면의 어려움도 증가됩니다.
- Step1: DRAM, 3D NAND, 시스템 반도체 중에서 주요 배선(interconnect)을 선택하여 특정하시오.
(Chip 내 Wordline (WL), Bitline (BL), 각종 Contact, Multi-level Metallization (MLM), Hybrid Wafer bonding 등,
또는 Package 내 Ball, Bump, Through Silicon Via (TSV) 연결, Wire bonding, Chip bonding 등)
Chip 내 집적도 증가 시나 package 내 용량 증가 시, 그리고 반도체 소자의 고속화, 저전력화, 미세화 시에
위에서 특정한 배선(interconnect) 에서 유발되는 어려움, 요구 조건, 제약 사항, 필요한 개선 방향들을 분석하시오.
- Step2: 공정/소자/구조/물질/소재/장비 중에 1 가지 이상 측면에서, 특정된 배선에서 분석한 어려움을 개선할 수 있는
새로운 아이디어를 구체적으로 제시하시오.
(반드시 특정한 배선을 먼저 제시할 것 --- (예) "3D NAND Bitline 배선 개선", "Package 내 Bump 배선 개선" 등).
- Step3: 개선 방법, 기대 효과, 장단점, 개념, 원리, 핵심 필요 기술, 기존 기술/제안과의 차별점, 아이디어 구현 시의
challenge point 등을 기술하시오.

4. 산출물: 결과보고서

5. 문제 부연 내용

- 전통적인 배선 (interconnect) 상의 주요 hurdle로는 배선 구현 공정의 난이도 증가, 저항 증가, 기생 capacitance 증가, 전력 소모 증가, 발열 증가, 제품 구현 시 부작용, 배선 복잡도에 따른 불량 증가나 공정 원가 증가 등이 있음.
- [참고] 현재 진보된 DRAM 과 3D NAND 에서 Wordline 선폭, Bitline 선폭, Metallization 최소 선폭은 모두 10 nm 대 (1x nm) 이며, 진보된 시스템 VLSI (7 ~ 2 nm technology) 에서 Metallization 최소 선폭도 10 nm 대 (1x nm) 수준임.

1. 문제 분야: 소자·공정·소부장·패키징

2. 문제 명: 0.25 μm 설계지옥 탈출기: 살아남는 자가 창업한다.

3. 문제 내용

- 문제 관련 배경 설명

● 철수의 SRAM 프로젝트

대학생 철수는 반도체 창업의 꿈을 품고 SRAM 소자 제작에 도전합니다.

Fabless 회사가 주최한 경진대회에 참여하여, 공정 조건과 EDR (Electrical Design Rule) 일부 데이터를 제공합니다.

그는 이 자료를 바탕으로 직접 소자를 설계하고, 특성을 분석해 보기로 합니다.

● 제공된 조건

- CD (Critical Dimension): 모든 Layer 는 Min. 0.25 μm 까지 구현 가능함.
- NMOS $V_t = +0.7\text{ V}$, PMOS $V_t = -0.7\text{ V}$
- Process Flow: 채널 길이, 이온 주입, 산화막, RTA 등 포함.
- EDR 에는 전기적 특성, 파형 정보 등은 미포함.

● 철수의 고민

- 1) V_t 값만으로 과연 동작 가능한 회로를 만들 수 있을까?
- 2) 시뮬레이션으로 동작 특성을 예측하기 위해 어떤 파라미터가 필요할까?
- 3) Layout 과 실제 단면은 어떻게 대응될까?
- 4) 공정 결과를 전기적으로 어떻게 검증할 수 있을까?

- Step1: 공정 상의 문제점을 도출하고, 그 이유를 설명하시오. 또한, 도출한 문제를 개선할 수 있는 공정 변경 및 공정 Reduction 제안 및 설명 하시오.
- Step2: 제안된 Process Flow 기반 단면 구조를 도식화 하시오.
- Step3: SRAM 에 사용된 소자의 Model Parameter 추출을 위한 Test Pattern 설계 및 평가 방법을 제시하시오.
- Step4: 모든 레이어에 대해 Min. CD 0.25 μm / Overlay 0.01 μm 조건을 만족하는 최소 사이즈의 1-bit SRAM 셀을 설계 하시오. Layout 및 시뮬레이션 결과를 제시하고, 제한된 CD 내에서 최소 면적 구현을 위한 구조적 아이디어를 설명하시오.

4. 산출물: 결과보고서

5. 문제 부연 내용

- 제공된 Process 에서 Step Reduction 제안 및 설명
- 첨부에 제공된 제한된 Process Flow 만을 가지고 전체 설계와 검증

(취지: CMOS 소자의 동작 원리를 실습과 해석을 통해 완전히 이해하고자 함)

- 첨부: Process Flow

0. Starting Material

Wafer: 8-inch P-type (100) Silicon,
Resistivity 10–20 $\Omega\cdot\text{cm}$

1. Well Formation (Twin-Well Process)

N-Well Implantation

Ion: Phosphorus (P), Energy: 150 keV, Dose: $1\text{E}13\text{ cm}^{-2}$

Drive-in & Well Anneal

1100°C, 2hr (Drive-in), followed by 950°C, 30s RTA

2. Field Oxide Isolation

STI (Shallow Trench Isolation) 또는
LOCOS Oxide Thickness: 400 nm

3. Channel Stop Implant (optional)

For punch-through prevention

Ion: Boron (B), Energy: 150 keV, Dose: $5\text{E}12\text{ cm}^{-2}$

4. Threshold Voltage Adjustment Implant

NMOS Vt Adjust

Ion: Boron (B), Energy: 25 keV, Dose: $3\text{E}12\text{ cm}^{-2}$

PMOS Vt Adjust

Ion: Phosphorus (P), Energy: 40 keV, Dose: $3\text{E}12\text{ cm}^{-2}$

5. Gate Oxide Formation

Thermal Oxidation at 850°C, Target Thickness: 10 nm

6. Polysilicon Gate Deposition & Patterning

LPCVD Polysilicon (150 nm) with in-situ N+ doping

Gate Patterning: Photo + Etch

7. LDD Implantation (Lightly Doped Drain)

NMOS LDD

Ion: Phosphorus (P), Energy: 30 keV, Dose: $2\text{E}13\text{ cm}^{-2}$

PMOS LDD

Ion: Boron (B), Energy: 25 keV, Dose: $2\text{E}13\text{ cm}^{-2}$

8. Spacer Formation

Oxide/Nitride Spacer by LPCVD Thickness: ~100 nm

9. Source/Drain Implantation (Heavy Doping)

NMOS Source/Drain

Ion: Arsenic (As), Energy: 60 keV, Dose: $1\text{E}15\text{ cm}^{-2}$

PMOS Source/Drain

Ion: BF_2 , Energy: 30 keV, Dose: $1\text{E}15\text{ cm}^{-2}$

10. Annealing (Dopant Activation)

RTA (Rapid Thermal Anneal): 1000°C, 10 s

Purpose: Dopant activation, junction healing

11. Interlayer Dielectric (ILD) Deposition

Oxide (TEOS or BPSG), Thickness: 300 nm

CMP (Chemical Mechanical Polishing) optional

12. Contact Formation

Etch Contact Holes → Clean → Ti/TiN Barrier → W Plug

13. Metal Layer 1 Deposition & Patterning

Metal: Al-Cu (or Cu with barrier)

Patterning by photolithography + etch

14. Passivation Layer

Si_3N_4 100 nm, SiO_2 Thickness: 300 nm

Opening for Pad