

## 반도체 프로젝트 제안서

<b>과제명</b>	DRAM 커패시터용 고유전율 박막 제조 공정 개발			
<b>과제유형</b> *1	<input type="checkbox"/> 아날로그시스템설계 <input type="checkbox"/> 디지털시스템설계    ■ 공정    ■ 소재 <input type="checkbox"/> 기타			
<b>방법론</b> *2	<input type="checkbox"/> 시뮬레이션    ■ 실험 <input type="checkbox"/> 기타( )			
<b>결과물</b>	■ 레포트(논문, 보고서 등)    ■ HW (보드, 칩 등) <input type="checkbox"/> SW (시뮬레이션, 앱 등)			
<b>멘토</b>	<b>성 명</b>	이영환	<b>소속</b>	신소재공학부
	<b>연락처</b>	062-530-1696	<b>이메일</b>	yhlee@jnu.ac.kr
<b>내용</b>	<p>1. 목적</p> <ul style="list-style-type: none"> <li>- DRAM 소자 소형화: 반도체 공정 기술의 진보로 인한 기존 DRAM의 1T-1C 커패시터의 성능 개선이 요구</li> <li>- 고유전율(High-k) 소재 개발 필요성: 1T-1C 구조의 DRAM 셀에서 커패시터의 성능 개선 위해 HfO<sub>2</sub>, ZrO<sub>2</sub> 등 다양한 High-k 물질 탐색 필요. 특히, ZrO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub>/ZrO<sub>2</sub> (ZAZ) 구조와 같은 복합 구조 박막 개발 및 성능 검증 필요</li> <li>- ALD 필요: 반도체 구조가 입체적으로 변경됨에 따라 균일한 박막 형성 필요</li> <li>- 공정 최적화: 박막 품질, 신뢰성, 반도체 제조 공정과의 호환성 확보 필요</li> </ul> <p>2. 연구활동</p> <ul style="list-style-type: none"> <li>- HfO<sub>2</sub> 및 ZrO<sub>2</sub> 기반 high-k용 소재 개발 및 ALD 기반 박막 증착 공정 최적화</li> <li>- 고유전율 박막 합성 및 박막 구조 분석 (예: XRF, XPS, XRD 등)</li> <li>- 고유전율 박막 기반 반도체 소자 제작 및 전기적 특성 분석</li> </ul> <p>3. 결과물</p> <ul style="list-style-type: none"> <li>- DRAM 커패시터 특성 향상 방안 및 프로젝트 결과 보고서</li> <li>- 국내 학술대회 참가 혹은 국내 학술지 게재</li> </ul>			
<b>기타</b> *3	<ul style="list-style-type: none"> <li>- 반도체 관련 기초 전공 지식 보유 우대 (예: 반도체 소재·공정 및 반도체 소자물리, 등)</li> <li>- 구조 분석용 재료공학 전공 지식 보유 우대 (예: X-선 및 결정학, 등)</li> <li>- 박막 증착용 진공장비 구동 관련 지식 우대 (예: 박막공학, 등)</li> <li>- 소자 제작 위한 재료비 및 소모품 지원</li> <li>- 장비이용료 및 분석료 지원</li> </ul>			

※ 프로젝트 수행 기간 및 상황에 따라 연구활동 범위 및 결과물 내용 변경 가능