

## 반도체 프로젝트 제안서

<b>과제명</b>	DRAM 센스 앰플리파이어 회로 설계 프로젝트			
<b>과제유형</b> * <sup>1</sup>	<input checked="" type="checkbox"/> 아날로그시스템설계 <input type="checkbox"/> 디지털시스템설계 <input type="checkbox"/> 공정 <input type="checkbox"/> 소재 <input type="checkbox"/> 기타			
<b>방법론</b> * <sup>2</sup>	<input checked="" type="checkbox"/> 시뮬레이션 <input type="checkbox"/> 실험 <input type="checkbox"/> 기타( )			
<b>결과물</b>	<input checked="" type="checkbox"/> 레포트(논문, 보고서 등) <input type="checkbox"/> HW (보드, 칩 등) <input checked="" type="checkbox"/> SW (시뮬레이션, 앱 등)			
<b>멘토</b>	<b>성 명</b>	이명진	<b>소속</b>	전남대학교 전자컴퓨터공학부
	<b>연락처</b>	530-1810 010-2794-4280	<b>이메일</b>	mjlee@jnu.ac.kr
<b>내용</b>	<p>본 프로젝트는 메모리 반도체의 핵심 구성요소인 DRAM Cell과 Bitline Sense Amplifier의 동작 원리를 심층적으로 이해하고, 이를 실제 설계에 적용할 수 있는 능력을 배양하는 것을 목표로 함.</p> <p>1. 목표</p> <ul style="list-style-type: none"> <li>- DRAM 회로의 기본 구조와 동작 원리 이해</li> <li>- 회로 설계 관점에서의 문제 해결 능력 향상</li> <li>- 실제 반도체 설계 과정에서 발생하는 문제점 분석 및 해결 방안 도출 능력 개발</li> </ul> <p>2. 방법</p> <ul style="list-style-type: none"> <li>- 단계 1 : DRAM Sense Amplifier의 Read/Write 동작을 회로 설계 관점에서 종합적으로 학습하고 정리.</li> <li>- 단계 2 : DRAM Cell 동작을 설명하는 ‘수조 모델’을 확장 적용한 ‘DRAM Cell + DRAM Sense Amplifier 동작 모델’을 만들고 기본 회로 동작에 대해 동작 모델과 비교 설명하고, Sense Amplifier를 구성하는 트랜지스터의 공정 산포에 따라 발생할 수 있는 영향을 최대한 도출하여 동작 모델에 반영하고 비교 설명.</li> <li>- 단계 3 : 단계 1, 단계 2을 기반으로 ‘DRAM Cell + DRAM Sense Amplifier’의 성능을 개선하고, Power 소모를 개선할 수 있는 아이디어를 HSPICE 시뮬레이션 분석과 함께 제시.</li> </ul> <p>3. 결과물</p> <ul style="list-style-type: none"> <li>- 결과보고서 (논문형식, 시뮬레이션 분석 포함), 동작 모형 PPT, 동작 모형 설명 그림 혹은 동영상</li> </ul>			
<b>기타</b> * <sup>3</sup>	<p>■ 멘토링 + 톨교육 + 기타 경비 제공</p> <ul style="list-style-type: none"> <li>- Cadence, HSPICE EDA 툴 사용법 교육</li> <li>- 교육기간 내 실습에 필요한 EDA tool 라이선스 제공 (Cadence, HSPICE)</li> <li>- 회로 설계 프로젝트에 대한 멘토링</li> <li>-</li> </ul> <p>※ 상황에 따라 시뮬레이션을 1차 결과로 하고, 2학기에 추가 연구를 수행할 수도 있음</p>			