

반도체 프로젝트 제안서

과제명	PCI-Express 기반 Host-to-FPGA 데이터 송수신			
과제유형 * ¹	<input type="checkbox"/> 아날로그시스템설계 <input checked="" type="checkbox"/> 디지털시스템설계 <input type="checkbox"/> 공정 <input type="checkbox"/> 소재 <input type="checkbox"/> 기타			
방법론 * ²	<input type="checkbox"/> 시뮬레이션 <input checked="" type="checkbox"/> 실험 <input type="checkbox"/> 기타()			
결과물	<input checked="" type="checkbox"/> 레포트(논문, 보고서 등) <input type="checkbox"/> HW (보드, 칩 등) <input type="checkbox"/> SW (시뮬레이션, 앱 등)			
멘토	성 명	박상영	소속	휴인스
	연락처	010-4899-4825	이메일	psy@huins.com
내용	<p>- 추진배경 및 필요성 ▶ AI 가속기 SoC의 요구 처리 속도가 급격하게 증가되고 있으나 AI SoC의 구조 개선만으로는 한계가 있으며, FPGA를 고속으로 연결하여 대용량 입출력 데이터를 처리하는 기술이 필요함</p> <p>- 개발내용 / 운영계획 ▶ 인공지능 가속기 IP를 위한 학습 파라미터, 입력 영상 데이터, AI 검출 결과 데이터를 Host PC의 software가 PCI-Express interface module을 통해서 FPGA의 AXI bus에 접속하고 지정된 SRAM 또는 DDR DRAM에 write 또는 read access를 수행하는 host software와 FPGA의 RTL을 개발하고 검증함</p> <p>- 필요기술 및 역량 ▶ AI 시스템반도체 설계를 위해 필요한 AI 가속기 SoC의 입출력 데이터를 처리하는 Host PC와 AI 추론 연산 가속기를 구현하는 FPGA를 고속으로 연결하는 IP에 대한 동작원리에 대한 이해와 설계 경험이 필수적임.</p>			
기타 * ³	<p>기본 지식</p> <ul style="list-style-type: none"> - PCI-Express (PCIe) 기본 개념 - 2 AXI 버스 (Advanced eXtensible Interface) - FPGA에서 PCIe 구현 <p>필요장비</p> <ul style="list-style-type: none"> - Xilinx Alveo 시리즈 (U50, U250, U280) → AI 가속기용 - Xilinx ZCU102, ZCU104 → SoC 기반 개발 가능 - Xilinx KCU105 → PCIe 인터페이스 지원 - Xilinx Vivado & Vitis: FPGA RTL 설계 및 PCIe IP 활용 <p>실험목표</p> <ul style="list-style-type: none"> - Host PC에서 PCIe를 통해 FPGA로 이미지 데이터 전송 - FPGA에서 AI 가속기 IP를 이용한 연산 수행 - 연산 결과를 다시 Host PC로 전송하여 검증 			