

## 반도체 프로젝트 제안서

<b>과제명</b>	FPGA/임베디드프로세서를 이용한 화질개선			
<b>과제유형</b> * <sup>1</sup>	<input type="checkbox"/> 아날로그시스템설계 <input checked="" type="checkbox"/> 디지털시스템설계 <input type="checkbox"/> 공정 <input type="checkbox"/> 소재 <input type="checkbox"/> 기타			
<b>방법론</b> * <sup>2</sup>	<input checked="" type="checkbox"/> 시뮬레이션 <input checked="" type="checkbox"/> 실험 <input type="checkbox"/> 기타( )			
<b>결과물</b>	<input checked="" type="checkbox"/> 레포트(논문, 보고서 등) <input checked="" type="checkbox"/> HW (보드, 칩 등) <input type="checkbox"/> SW (시뮬레이션, 앱 등)			
<b>멘토</b>	<b>성 명</b>	홍성훈	<b>소속</b>	전남대학교 전자컴퓨터공학부
	<b>연락처</b>	530-1758 010-6213-1758	<b>이메일</b>	hsh@jnu.ac.kr
<b>내용</b>	<p>1. 목적</p> <p>영상처리 알고리즘(화질개선, 해상도 향상, 물체인식/검출 등)을 FPGA와 임베디드프로세서를 사용하여 구현</p> <ul style="list-style-type: none"> <li>- 학생들이 영상처리 알고리즘을 이해하고 분석하는 능력 강화</li> <li>- 알고리즘을 FPGA를 사용하여 반도체 Front End 설계하는 능력 경험을 제공</li> <li>- 결과에 대해 논문으로 작성 / 경진대회에 출품하고 평가 준비 경험을 제공</li> </ul>			
	<p>2. 방법</p> <p>① 영상처리 알고리즘 구현 및 분석 (MATLAB 등에서 영상처리 알고리즘을 구현하고, 유사한 알고리즘과 성능 등을 비교 분석한다)</p> <p>② 영상처리 알고리즘 대한 VHDL (Verilog) 코드를 생성(MATLAB 함수와 Simulink 또는 Chat-GPT 이용) → FPGA로 구현하기 위한 합성 시뮬레이션(Vivado, Quartus 등 사용) → 널리 쓰이는 FPGA 보드에 대한 하드웨어 지원 패키지를 사용하여 구현</p> <p>※ 디지털시스템설계 경험이 많은 팀은 직접 코딩하여 VHDL 또는 Verilog 코드를 생성해도 됨</p> <p>③ (추가) 응용 기능을 추가하고 싶은 팀은 (FPGA와 임베디드프로세서)를 사용하여 구현</p> <p>④ 데모 환경 구축</p>			
<b>기타</b> * <sup>3</sup>	<p>3. 결과물</p> <ul style="list-style-type: none"> <li>- 학술대회 발표용 논문, 경진대회 출품용 제작 보드</li> </ul>			
	<p>■ 멘토링 + 토큐교육 + 기타 경비 제공</p> <ul style="list-style-type: none"> <li>- MATLAB Simulink 교육 / FPGA 설계 교육 / 임베디드프로세서 활용 및 PCB 제작 교육</li> <li>- FPGA 보드 / PCB 제작 및 소요 재료 제공</li> </ul> <p>- 알고리즘 분석, Front End 설계 및 구현에 대한 멘토링</p> <p>※ 상황에 따라 시뮬레이션을 1차 결과로 하고, 2학기에 추가 연구를 수행할 수도 있음</p> <p>※ 논리회로 수강자 / (영상처리, 인공지능, 디지털시스템설계 경험 학생은 우대)</p>			